第3章

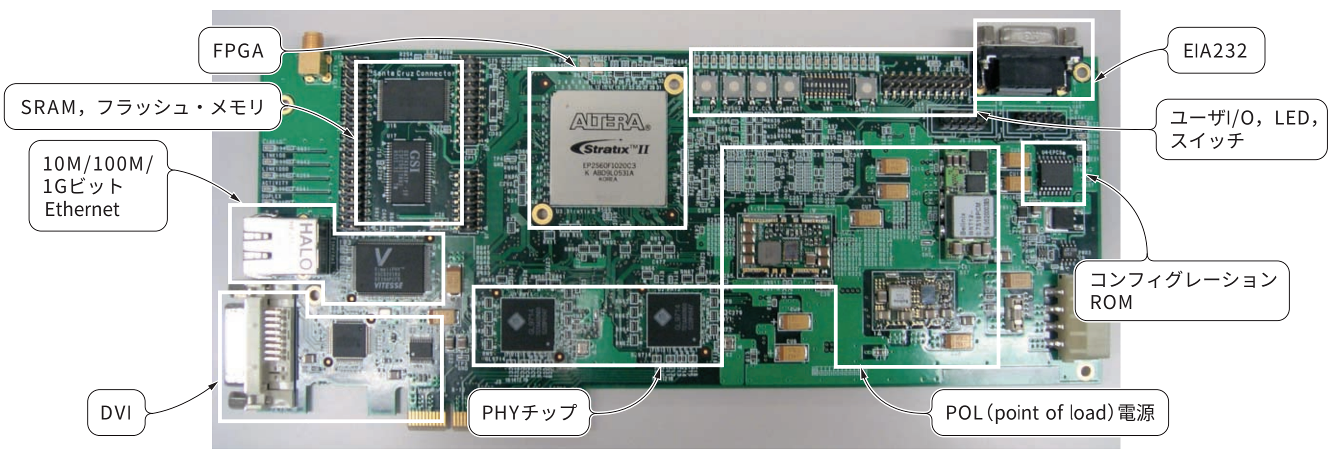
PHYチップとFPGAを使ってx8 PCI Expressアドイン・カードを開発

——ハードウェア構成の選択とプリント基板設計の指針

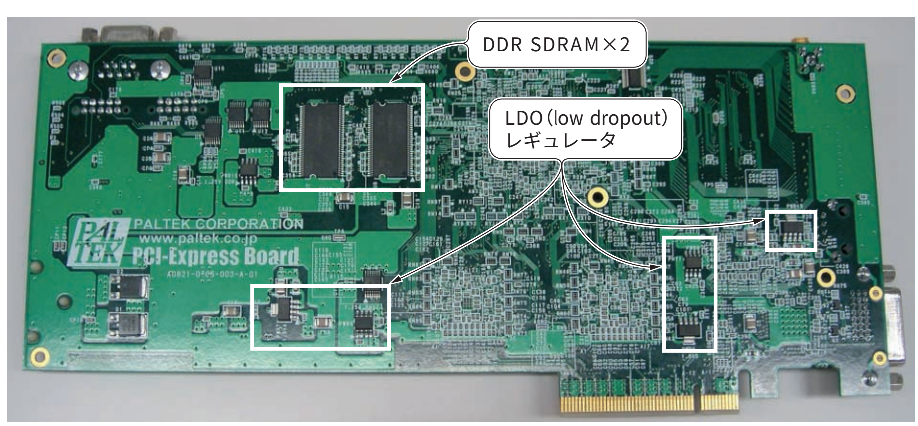
福田光治

ここでは，筆者ら（PALTEK）が開発したPCI Express対応のアドイン・カードを例に，ボード仕様の決定から実装までを解説する．Gbpsオーダのデータ転送速度に対応するプリント基板の設計は難しいというイメージがあるが，いくつかの重要なポイントさえ押さえておけば，比較的容易に配線などが行えると筆者は言う．（編集部）

PCI Expressアドイン・カードを実際に設計する際に問題となる点や注意するべき点について解説します．2.5Gbpsの高速シリアル・インターフェースを有する基板の設計は，多くの注意点や規定があるため設計者が敬遠しがちな技術です．しかし，実際にはいくつかの重要なポイントさえ理解しておけば，簡単にPCI Express基板を設計できるようになります．



（a）部品実装面



（b）はんだ面

写真1 開発したPCI Expressアドイン・カード

本稿では，筆者らが開発したPCI Expressアドイン・カードを例にとり，PCI Expressを実現するためのハードウェア構成の検討からプリント基板設計，そして論理回路設計へ至る一連の流れを示しながら，実際の設計手法を解説していきます(**写真1**).

1 アドイン・カードの実現方法

PCI Expressのアドイン・カードを実現する場合，大きく三つのハードウェア構成が考えられます(**図1**).

1) 高速トランシーバ内蔵FPGAを使った1チップ構成

高速トランシーバ・ブロック(SerDes 注1)を内蔵したFPGAを用いることで，すべての機能を1チップで実現できます．そのため，設計期間の短縮と基板配線効率の向上を図ることができます．また，FPGAの回路設計についても，各FPGAベンダが提供する開発環境のみで設計できるため，作業をスムーズに進めることができます．ただし，限られたロジック・リソースと機能の制約がある中での設計となるため，そのデバイスに関する機能情報をしっかりと理解して選択しなければなりません．また，ほかのFPGAと比べてトランシーバ・ブロック内蔵FPGAはチップ・コストが高いため，コストと設計期間のトレードオフをしっかりと検討する必要があります．

2) 専用PHYチップ＋FPGA

PCI Express規格に最適化されたPHY(物理層)チップ注2を用いることで，高速インターフェース部分の設計をスムーズに進められます．また，MAC(media access controller)層注3に用いるFPGAの選択肢は広く，コスト・メリットが高い組み合わせを柔軟に選べます．このハードウェア構成の場合，PIPE(PHY Interface for the PCI Express Architecture)注4と呼ばれる，PHYチップとMACの間のインターフェースを構築する必要があります．

3) ASICによる1チップ化

ASICを開発する場合，開発費(NRE：non-recurring expenses)が問題となります．ASICによる実現では，後から不ぐあいが見つかった場合の作り直し(リスピン)のコストや開発環境整備などを考慮した綿密な計画が必要になります．また，設計期間を短縮するため，卓越した設計技術とファブとの連携も重要です．ただし，一度完成してしまえば，ほかの構成と比べて量産時のチップ・コストを大幅に低減できます．また，ピン配置やレーン数を自由に設定できるため，基板設計という観点で見たときには，スムーズに作業を進められます．

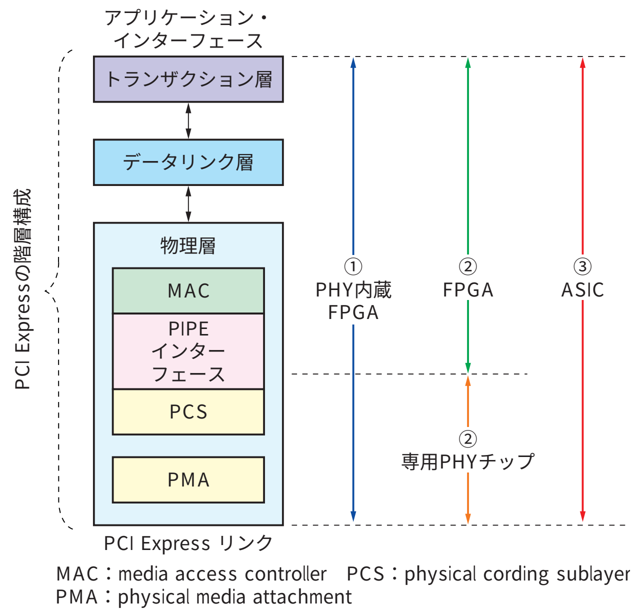


図1　PCI Expressのハードウェア構成例
PCI Expressは，トランザクション層，データリンク層，物理層の三つ階層構成で実現されている．物理層ではMACやPCS，PMAをどのような構成で実現するかによって，ハードウェア(LSI)の選択方法が変わってくる．

上述したように，それぞれのハードウェア構成によって，基板設計や回路設計などに利害得失があります．よって，実現するシステム要求や仕様をしっかりと計画・検討したうえで，いかに最適な構成を採用するかがその後のコストや設計期間の短縮に大きく影響してきます．

●「専用PHYチップ＋大規模FPGA」を採用

今回設計したアドイン・カードでは，専用PHYチップ＋FPGAという構成を用いて，x8(8レーン)のアドイン・カードを実現しました(**表1**，**図2**).

この基板にはPHYチップとして台湾Genesys Logic社の「GL9714」を採用しています(**図3**)．このPHYチップは4レーンのPCI ExpressのPMA(physical media attachment；機器，システム間の物理的媒体の接続部分)とPCS

注1：SerDesとは，SerializerとDeserializerを合わせた意味．シリアルとパラレルの相互変換を実現する機能．
注2：ここでは，PHYチップはSerDesを内蔵したICを意味する．
注3：物理層とその上位層をつなぐ媒体アクセス制御部分．
注4：ほとんどの場合，MACと物理層の間の接続には米国Intel社が策定する“PHY Interface for the PCI Express Architecture”で定義されているPIPEインターフェースが用いられる．ただし，PXPIPE(オランダRoyal Philips Electronics社)やXGMII(IEEE 802.3ae)などでPIPEと同等の機能を実現することも可能．

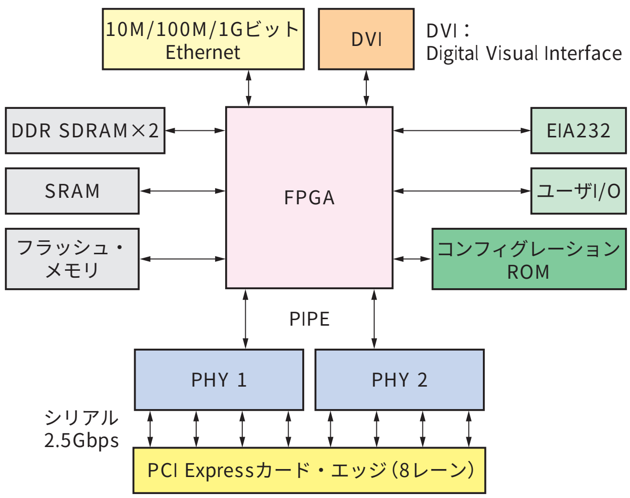


図2　アドイン・カードのシステム構成

今回設計した基板の機能ブロック図を示す．大規模FPGAを活用することで周辺機能の制御のすべてを1チップで実現した．また，PCI Express部分は専用PHYチップを用いることで，完全な8レーンのシリアル・リンクを実現している．

(physical cording sublayer；物理符号化副層)機能を1チップで実現しています．また，専用PHYチップなので各種パワー・ステータスやビーコン出力，レシーバ検出(receiver detect)など，従来の汎用PHYチップやトランシーバ・ブロック内蔵FPGAではサポートが難しいPCI Express特有の機能にも対応できます．

このPHYチップは，MAC層と接続するバックエンドのインターフェースにPIPEインターフェースを採用しています．そのため，MAC層との接続をスムーズに実現できます．動作モードとしても，シリアル・リンクを2レーンまたは4レーンで動作させることが可能です．また，PCI Expressコンプライアンス・テスト(規格適合試験)[注5]で

注5：コンプライアンス・テストで承認されたIPコアやPHYチップなどのベンダ(メーカ)はすべて，PCI-SIGのWebサイト(http://www.pcisig.com/)に公開されているIntegrators Listで確認できる．

表1
アドイン・カードの仕様

PCI Express仕様	PCI Express 8レーン，8/16ビットPIPEインターフェース
PHYチップ	台湾Genesys Logic社「GL9714」(2個)
FPGA	米国Altera社「Stratix II EP2S60F1020(6万LE相当)」
Ethernet	10M/100M/1Gbps対応，米国Vitesse Semiconductor社「VSC8201」
メモリ	DDR SDRAM 128Mバイト，米国Micron Technology社「MT46V32M16P-6T」(2個)
	フラッシュ・メモリ 2Mバイト，Spansion社「S29AL016M10TFI02」
	SRAM 512Kバイト，米国GSI Technology社「GS74108AGP-10」
DVI	VGA(640×480ピクセル)～SXGA(1280×1024ピクセル)@24ビット，米国Texas Instruments社「TFP410」
コンフィグレーションROM	Altera社「EPCS16(EPCS64マイグレーション可)」，ASモード
電源	POLタイプDC-DCコンバータ，ベルニクス「BSV-3.3S12R0H」，「BSV-3.3S8R0M」，「BST12-0.7S16PCM」(各1個)
	LDOレギュレータ，米国National Semiconductor社「LP3855」(3個)，「LP2996」(3個)，「LP2989」(1個)
そのほか	Santa Cruzコネクタ(ユーザI/O 40ピン)
	JTAGコネクタ(FPGA書き込み用およびNios IIデバッグ用)
	LED(20個)，DIPスイッチ(10個)，テスト端子(20ピン)

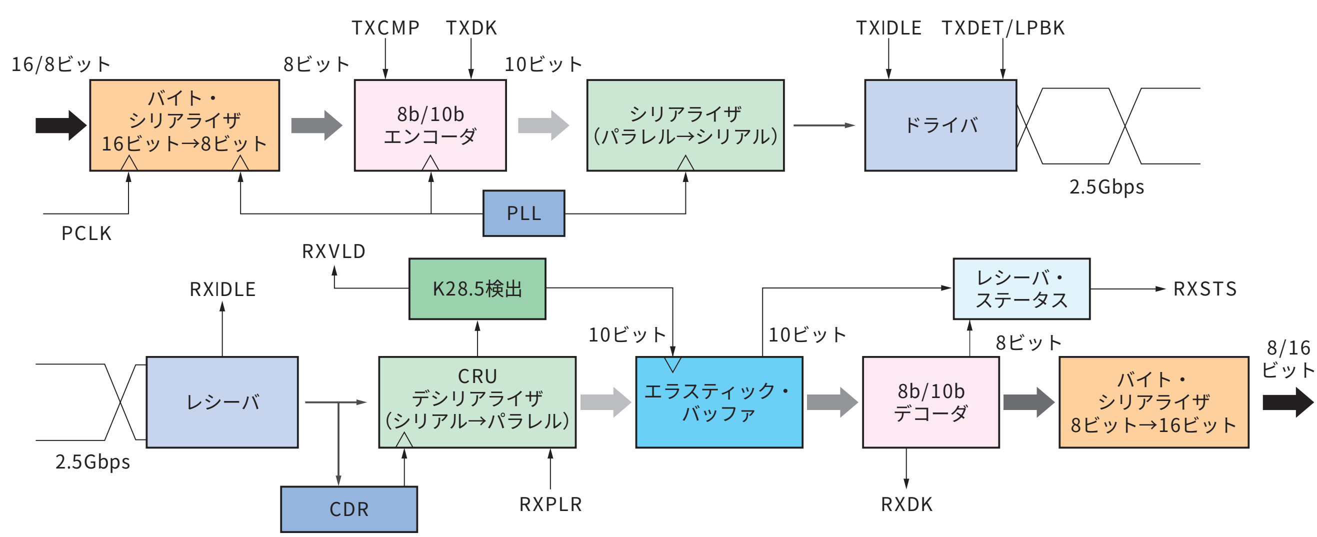


図3　今回採用したPHYチップの機能ブロック

専用PHYチップ「GL9714」の内部機能ブロック図を示す．本チップには，PCI Express専用のPCSブロックが内蔵されている．MACの仕様に合わせてPIPEデータ幅を8ビットまたは16ビットに変更できる．

用いられるテスト・パターンを生成するパターン生成回路を内蔵しており，電気的特性やシリアル・ラインの信号品質評価に有効です．

そのほかのシステム仕様では，システム・ボードからくる映像データの出力先としてDVI（Digital Video Interface）を採用し，24ビットで最大SXGA（1280×1024ピクセル）の解像度に対応する設計となっています．また，各種データ転送用パスとして10M/100M/1Gビット Ethernetポートを設けています．このEthernetのMAC層の処理についても，大規模FPGAを活用することによって1チップ化を実現しています．拡張ポートに米国Altera社が評価ボードなどにおける拡張用コネクタとして提唱するSanta Cruzコネクタを採用し，各種拡張ボードと接続できるようにしています．

2 プリント基板を設計する際のポイント

基板設計の際には，PCI-SIG（PCI Special Interest Group）が発行する“Add-in Card Compliance Checklist for the PCI Express（以降，チェックリスト）”注6をガイドラインとして活用しながら，配線規定やその仕様を設定します．

● ガイドライン準拠でなく，システム仕様に応じた設計を

ただし，このチェックリストの基板設計に関する項目は，推奨設計手法として記載されており，かならずしも準拠する必要はありません．実設計では，その基板の仕様やハードウェア構成に最適な設計仕様を，設計者自身が検討します．

そこで，アドイン・カードのシリアル・ラインの基板設計では“Base Specification”や“Card Electromechanical（CEM）Specification”で規定されている電気的特性（アイ・ダイヤグラム規定やジッタ規定）に準拠することを一つの目標として設計していくことになります．とくに，コンプライアンス・テストをパスする必要のある基板の場合は，必要不可欠な特性と言えます．

● 最低限の注意事項を守れば配線も難しくない

なお，PCI Expressは基板設計の容易化を図るため，仕様に次のような柔軟性を持たせています．

- 差動信号内での極性（正極性と負極性）の反転を許容する（Base Specification 4.2.4.2.）
- シリアル出力のレーン間スキューは500ps＋2UI（約1.3ns）まで許容する（Base Specification 4.3.3.）
- シリアル入力のレーン間スキューは20nsまで許容する（Base Specification 4.3.4.）

これらの仕様により，複数のレーンの場合でも，シリアル信号の配線は厳しい等長配線を実施する必要がありません．

レーン間に発生するスキューは，受信側のPCSブロックによってデータリンク層にデータを転送する前に補正されます．このPCSブロックは，エラスティック・バッファと呼ばれる周波数偏差を補償するためのFIFOメモリやリンク・マネージメント用の制御コード（Kコード）を検知する機能ブロックを内蔵しています．そのため，リンクの初期化やコンフィグレーションを制御するLTSSM（Link Training and Status State Machine）期間中に，レーン間で特定制御コード（COM，SKP）を用いたデスキューを実行することができます（LTSSMや特定制御コードの詳細は第2章を参照）．

以上の理由から，基板を設計する際は，インピーダンスの不整合を防ぎ，伝送損失の低減を実現するためにも，可能な限り配線の曲がりを少なくし，ビアを通らない短い配線を引くことに注意すれば，大きな問題が発生することはありません．なお，シリアル・ラインのビアやインピーダンスについては，チェックリストを参考にするとよいでしょう（**表2**）．

配線長については下記の項目を目安として設計できます．

- レーン間の配線誤差は5cm以内にする
- エッジまでの配線長は10cm以内にする

また，PCI Expressのカード・エッジのピン配置も，容易に設計できるように考慮されています．PHYチップから見たときのシリアル入力ピンが部品実装面（Side B）に，シリアル出力ピンがはんだ面（Side A）に配置されています．これにより，各入出力信号が混在することがなく，複数レーンの場合でもPHYチップとエッジの間のシリアル・インターフェースは比較的余裕を持って配線できます．

● 差動伝送のメリットを生かす配線手法を理解する

ここで，実際にプリント基板を設計するときに，どのように配線の曲がりや部品の配置などを決めればよいかを押

注6：“Add-in Card Compliance Checklist for the PCI Express”はPCI-SIGが開催する開発機器の相互接続性を確認するイベント（Compliance Workshop）に参加する際，アドイン・カードの仕様を申告するために用いる資料である．

3

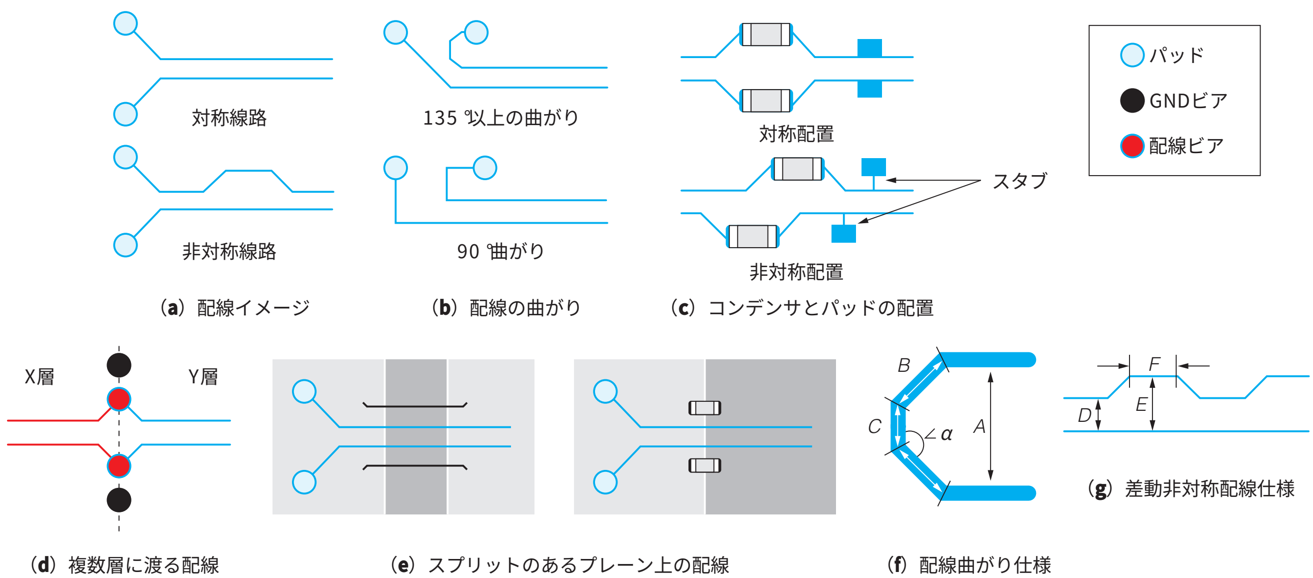
表2
ビアやインピーダンスに関するチェックリスト

チェックリスト項目	内　容
ビアの本数(PCB.01#09)	●出力ラインのビア：四つ以下 ●入力ラインのビア：二つ以下 (一つのラインに設置するビアは最大で合計六つまでとする)
ビアのサイズ(PCB.01#09)	●パッド・サイズ：25mil以下 ●ホール・サイズ：14mil以下
マイクロストリップ線路のインピーダンス仕様(PCB.01#01)*1	●差動インピーダンス(4/6層板)：100Ω±20% ●差動インピーダンス(8/10層板)：85Ω±20% ●シングルエンド・インピーダンス(4/6層板)：60Ω±15% ●シングルエンド・インピーダンス(8/10層板)：55Ω±15%
ストリップ線路のインピーダンス仕様(PCB.01#02)*1	●差動インピーダンス(6層板)：100Ω±20% ●差動インピーダンス(8/10層板)：85Ω±20% ●シングルエンド・インピーダンス(6層板)：60Ω±15% ●シングルエンド・インピーダンス(8/10層板)：55Ω±15%

*1　配線のインピーダンス仕様については基板材料や層構成，配線幅などによって変化するため，今回の基板ではマイクロストリップ線路，ストリップ線路ともに差動インピーダンス100Ω±10%，シングルエンド・インピーダンス50Ω±10%を維持できる範囲のインピーダンス仕様で基板設計を実施．

▼図4　配線仕様

差動伝送のメリットを十分に生かし，伝送の確実性を向上させるために，図に示すような配線手法を推奨する．



さえておきましょう．

メイン・ボードから供給される100MHzのリファレンス・クロックや2.5Gbpsのシリアル信号線は，差動信号による伝送方式を採用しています．差動信号伝送のメリットとしては，以下の点が挙げられます．

- 二つの配線を用いて一つの信号を伝送するため，ほかの信号や装置から放射されるノイズ(同相ノイズ)をキャンセルできる
- 配線そのものが放射するノイズ(EMI：electromagnetic interference)を信号ペアによって抑制できる
- 高速に変化する信号の振幅を抑え，ISI(シンボル間干渉)などの発生を低減できる

これらのメリットを十分に生かし，伝送の確実性を向上させるために，次に示す配線手法を推奨します．

- ノイズのキャンセルとEMI低減のため，可能な限り差動信号の2本の線は対称に配線する(**図4(a)**)
- 配線を曲げる場合，配線幅の変化によるインピーダンス不整合を防止するため，90°(直角)の曲がりは禁止し，135°以上の角度を維持して曲げるようにする(**図4(b)**)
- 直流成分除去のためのAC結合用コンデンサなど，配線に直接挿入する受動部品やオシロスコープ用のパッドなどの配置イメージを**図4(c)**に示す．配線と同様，部品やパッドの配置は差動ペア間で対称になるようにする．パッドを設ける場合はスタブを作らないようにする
- 多層基板で複数の層に渡って配線する場合のイメージを**図4(d)**に示す．各層の配線のリファレンス

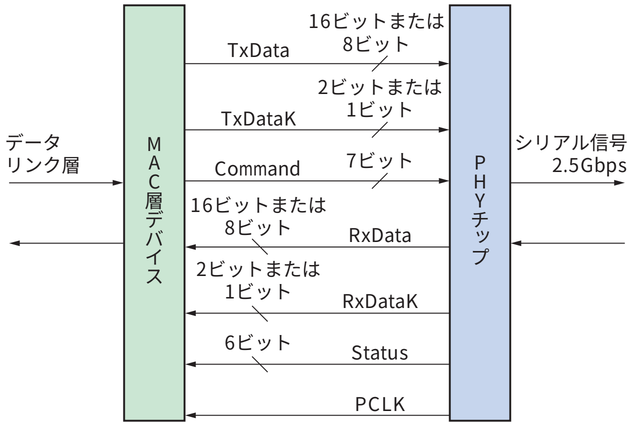


図5 PIPEインターフェース構成

Intel社が策定した"PHY Interface for the PCI Express Architecture"が定義しているPIPEインターフェースの構成を示す．PHYチップとMAC層の間の各入出力信号に対して，クロックはPHYチップからのみの供給になる．そのため，MAC層から出力される信号についてもPHYチップから出力されるPCLKを用いてクロッキングする．

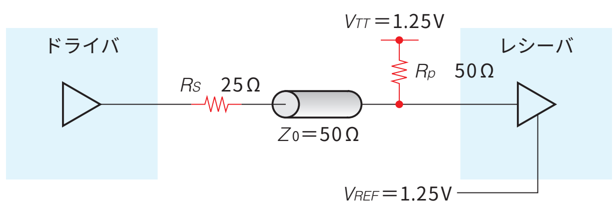
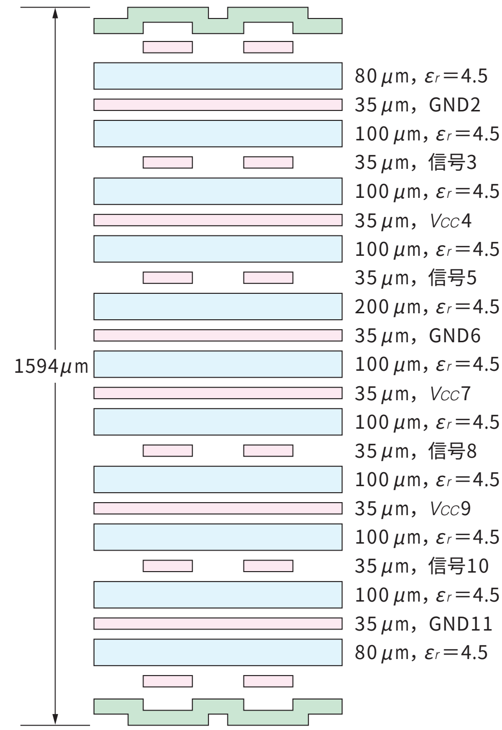


図6 SSTL-2インターフェースの終端

SSTL-2では，出力端の直列終端抵抗と入力端の並列終端抵抗が必要となる．

(GND)となるプレーンが異なる場合，帰還電流用のパスを確保する目的で，配線ビアの周辺にGND用ビアを設けるようにする

- インピーダンスの不整合を生じさせないため，可能な限りスプリット(切れ目)のあるプレーンの上を配線しないようにする(**図4(e)**)．スプリット・プレーン上を配線する場合，バイパス・コンデンサ(パスコン)の配置やガード・トレースなどで対策する．理想的には，連続した1枚のプレーン上を配線できるように，GNDおよび電源の構成に留意する
- 曲がりを必要とする配線の場合，**図4(f)**の各パラメータについて，αは135°以上，*A*は配線幅の4倍以上を確保，*B*および*C*は配線幅の1.5倍以上を確保，を仕様の目安とする
- 等長配線のための蛇行配線などで差動ペアが非対称配線になる場合，**図4(g)**の各パラメータについて，*E*は*D*の2倍未満，*F*は配線幅の3倍以上を確保することを仕様の目安とする



層番号	種　類	仕　様
1	信号/GND	Z_0=50Ω，Z_{diff}=100Ω，GND
2	GND	GND，AGND
3	信号	Z_0=50Ω，Z_{diff}=100Ω
4	V_{CC}	V_{CC}
5	信号	Z_0=50Ω，Z_{diff}=100Ω
6	GND	GND
7	V_{CC}	V_{CC}
8	信号	Z_0=50Ω，Z_{diff}=100Ω
9	V_{CC}	V_{CC}
10	信号	Z_0=50Ω，Z_{diff}=100Ω
11	GND	GND，AGND
12	信号/GND	Z_0=50Ω，Z_{diff}=100Ω，GND

図7 層構成の例

図に今回作成した基板の層構成を示す．トータル12層構成でシングルエンドの信号ラインを特性インピーダンス50Ωで配線し，差動信号ラインを100Ωで配線している．層数は基板面積に対する配線領域や電源系統などとのトレードオフになるため，システム要求に応じた構成を検討する．

● 伝送線路シミュレーションを配線仕様の決定に利用

PIPEインターフェースの設計について述べます．PIPEインターフェースについては，具体的に電気的特性が規格化されているわけではありません(**図5**)．そのため，PHYチップとMAC層デバイス(FPGA)の相互接続性をしっかりと理解したうえで設計する必要があります．

今回採用したPHYチップとFPGAの間のインターフェースでは，SSTL-2というI/O規格を用いてPIPEインターフェースを実現しています．このI/O規格では，出力端の直列終端抵抗と入力端の並列終端抵抗が必要になります．

8レーン構成の場合，PIPEインターフェースにはトータ

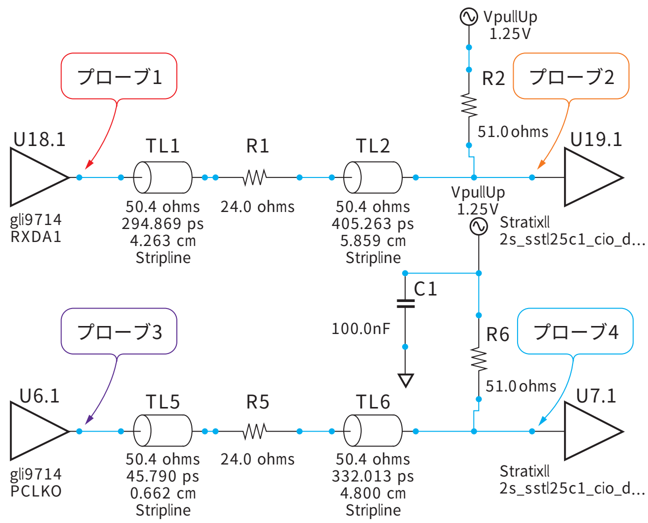


図8　伝送線路シミュレーションの回路構成

PHYチップとMAC層の間のインターフェースをシミュレーションした際の回路構成を示す．上部がPIPEのデータ線の構成，下部がPCLKの配線構成である．伝送線路解析を行うことで，配線による影響や適切な終端方法を事前に把握できる．

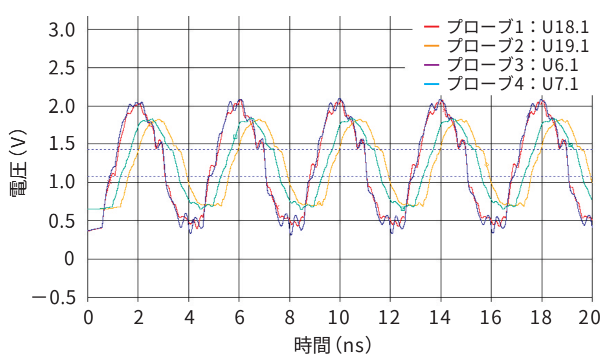


図9　伝送線路シミュレーションの結果

図8の構成でシミュレーションを実施した結果を示す．伝送速度は250MHz，使用したIBISモデルのI/O規格はSSTL-2 Class Iである．赤と紫で示した部分が出力端の波形，水色と黄色の波形が入力端の波形である．なお，赤と黄色はPIPEのデータ線の波形，紫と水色はPCLKの波形．

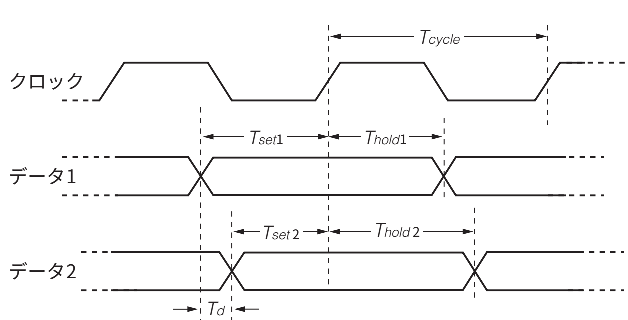


図10　配線遅延による影響

T_{cycle}はクロック・サイクルを，$T_{set1/2}$はデータ1と2のセットアップ時間を，$T_{hold1/2}$はデータ1と2のホールド時間を，T_dは配線長誤差によるデータ1と2の遅延差を表している．

ルで170本を超える配線について，**図6**に示すような終端処理が必要になるため，PHYチップとMACの間の配線は非常に複雑で高密度になります．

また，層構成（**図7**）や割り当て可能な配線領域によっては，等長配線などの仕様を緩和しなければならなくなります．このような場合，伝送線路シミュレーションを用いて仕様を決定するという方法が有効です．配線仕様を決定する際，または基板設計を行う中で，等長配線の緩和などの判断が必要なときは伝送線路シミュレーションを実施することで効果的な情報を取得できます．また，基板の特性情報などが事前に把握できていれば，簡易的な特性インピーダンスの算出も可能になり，伝送線路解析の精度を向上させられます．

今回は米国Mentor Graphics社の「HyperLynx LineSim」と，各デバイス・メーカが公開しているIBISモデルを用いて簡易的な伝送線路解析を実施しました（**図8**）．

図9のシミュレーション結果から，伝送路上では配線による信号伝播遅延が発生し，配線長の差異によってそれらの遅延の大きさが変化していることがわかります．このことから，クロックとデータの遅延差が今回検討するべき点であると判断できます．遅延差とクロック位相の関係が，各データのセットアップ時間とホールド時間のマージン（余裕度）に差異を発生させることになります．この遅延の差分が入力側デバイスの許容できる範囲内にあり，かつ適切なマージンを持った設計になっているかどうかをしっかりと見極めて，配線仕様を決定しなければなりません．

図10の場合，T_{set}1，2（各データのセットアップ時間の最大値）およびT_{hold}1，2（各データのホールド時間の最大値）のすべてが，入力デバイスのタイミング規定の範囲内でなければなりません．また，出力側デバイスのピン配置などによる遅延や，シミュレーションでは正確に再現することが難しいノイズ，電源やグラウンドの揺れ（グラウンド・バウンス）などによる影響が，実基板上ではかならず存在するため，実際にはそういったマイナス要素を含めたマージンを設定することが必要です．

このように，PIPEインターフェースのような多ビットの配線は，可能な限り等長配線を用いること，そしてその配線誤差の設定の際には，伝送線路シミュレーションなどによる解析情報をもとにした適切な判断が必要になります．

表3 アドイン・カードの外形寸法

レーン数		高さ規定	長さ規定
x1	ハーフサイズ・カード	最大111.15mm（4.376インチ）	最大167.65mm（6.600インチ）
x1，x4，x8，x16	フルサイズ・カード	最大111.15mm（4.376インチ）	最大312.00mm（12.283インチ）
	ロープロファイル・カード	最大 68.90mm（2.731インチ）	最大167.65mm（6.600インチ）

● カード外形寸法の検討はハード構成を決める前に行う

アドイン・カードの基板外形や部品の実装配置などを検討する場合のポイントを押さえておきましょう．

CEM Specificationの規定どおりに設計する場合，アドイン・カードの基板外形寸法については，**表3**に示す基板サイズを超えないようにします．ハーフサイズの基板の場合もフルサイズの場合も，基板の高さ（縦方向の長さ）を最大111.15mm以下にしなければなりません．つまり，部品配置の検討やPIPEインターフェースの配線領域の確保を事前に検討したうえで，前述したアドイン・カードの実現方法を選択します．

アドイン・カードには，外部インターフェース用のコネクタやICが，I/Oブラケットの設置される左端に集中するため，PCI Expressエッジ周辺とI/Oブラケット周辺に多くの部品が配置されることになります（**写真2**）．

さらにこの部分には2.5Gbpsのシリアル・ラインと専用PHY構成の場合のPIPEインターフェースが存在します．すると，高密度配線や高密度実装が必要になるため，FPGA側のピン・スワップなどで最適なピン配置を実現し，配線が厳しい部分の負荷を低減させる必要があります．

CEM Specificationには，部品実装後の高さについても規定されています．すなわち，はんだ面（Side A）は，実装後の部品の高さが2.76mmを超えないようにしなければなりません．部品実装効率を向上させ，配線領域の拡大と基板の有効利用を実現するためには，基板両面を利用した実装方法が有効ですが，部品の高さ制限に違反しないように，実装可能な部品を選定し，事前にチェックしておく必要があります．アートワーク実施後の部品実装位置の大幅な変更は，配線やほかの部品，電源やグラウンド・アイランドの設計変更を伴うことがあるため，事前検討の段階でしっかりと確認しておきましょう．

なお，ここで紹介した外形寸法や部品の高さについての制約は，あくまでもCEM Specificationの規定どおりに設計した場合の例です．

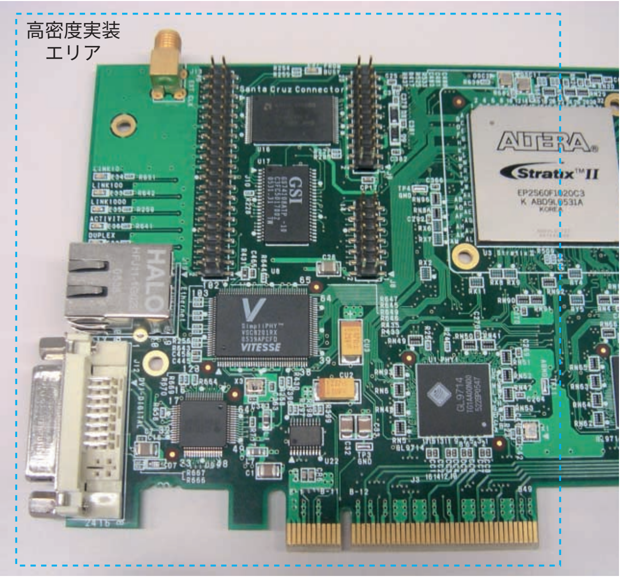


写真2 部品配置図
青線で囲った部分は高密度実装が必要な部分．アドイン・カードをメイン・ボードに接続した場合，各種外部インターフェースは左端のI/Oブラケット部分からケーブルなどを接続するため，コネクタやそれらに用いる部品が集中することになる．

3 論理回路設計の手順

まず，MAC層の設計について解説します．MAC層をもっとも簡単にFPGAに実装したい場合には，IPコアを活用します．現在，PCI ExpressのIPコアは各IPベンダから多数発売されています．

● コンプライアンス・テスト済みのIPを使うメリット

ここでは，フランスPLD Applications社のPCI Expressコアを用いた設計例を紹介します．同社のPCI Express IPコアは，PCI-SIGのコンプライアンス・テストで認証されており，規格で規定される機能が最適化された状態で提供されています．検証済みのIPコアを用いることで，規格に準拠した動作が保障され，設計期間や設計リスクを抑制できます．

このIPコアを用いると，GUIによる設定のみで簡単にMAC層を構築できます．**図11**に示すような一連のGUIの画面で，実装するターゲットFPGAや使用するレーン数，

各種バッファ・サイズなどを設定します．これでMACコアができ上がります．

また，（論理）回路シミュレーション用のテストベンチも用意されているため，Mentor Graphics社の「ModelSim」などを用いた検証も容易に実行できます．このGUIで生成したIPコアをAltera社のQuartus IIを用いて，各種タイミング制約や基板に合わせたピン配置を行い，配置配線を実行すれば，PCI ExpressのMAC層の設計は終了です（図12）．

● 多ピンの配置・設定では開発環境の機能を有効活用

今回採用したAltera社のFPGA「Stratix II（EP2S60F1020）」は，合計1,020ピンという非常に多数のピンを持ったFBGAパッケージのデバイスです．高集積デバイスを使用する場合，多数のピン配置や各種制約の設定はめんどうに思われがちですが，ベンダから提供されている開発環境を有効に利用することで，これらの設定が容易になります．

例えば，今回はQuartus IIの機能の一つである「Pin Planner」を用いてピン配置を行いました（図13）．ピン配置の確認だけでなく，パッケージ・ビューのブランク・ピンに対してドラッグ・アンド・ドロップすることでピン配置を指定できます．もちろん，スプレッド・シートを用いた設定やセッティング・ファイルへ直接記載することも可

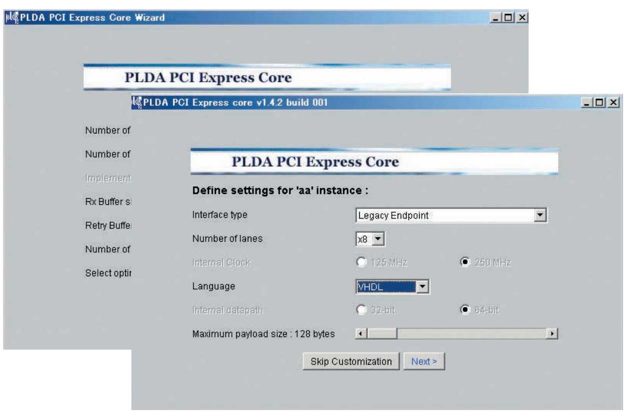


図11　GUIによるMAC IP設計画面

PCI ExpressのIPコアの設計画面．GUIによりインターフェースのタイプ（エンドポイントやルートの設定）やバーチャル・チャネルの数，バッファ・サイズなど，MACに必要なすべての設定を行える．

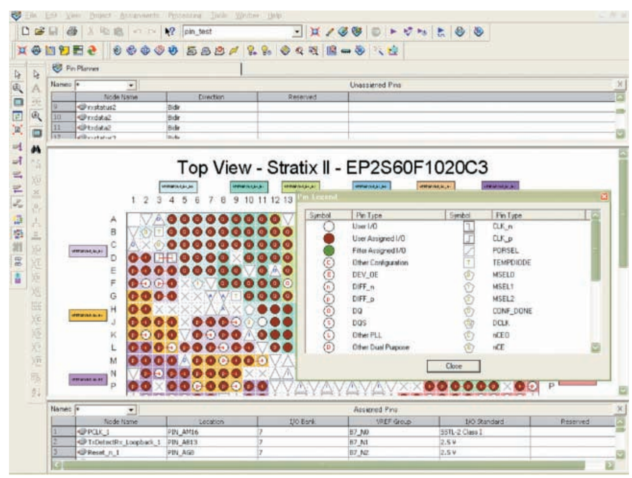


図13　Pin Planner画面

Quatus IIの機能の一つである「Pin Planner」を用いてピン配置などを設定できる．パッケージ・ビューという機能を利用して，差動ペアが配置されている場所や電源，GNDピン，クロック専用ピンなどの位置を把握できる．部品の配置検討などの際にも有効．

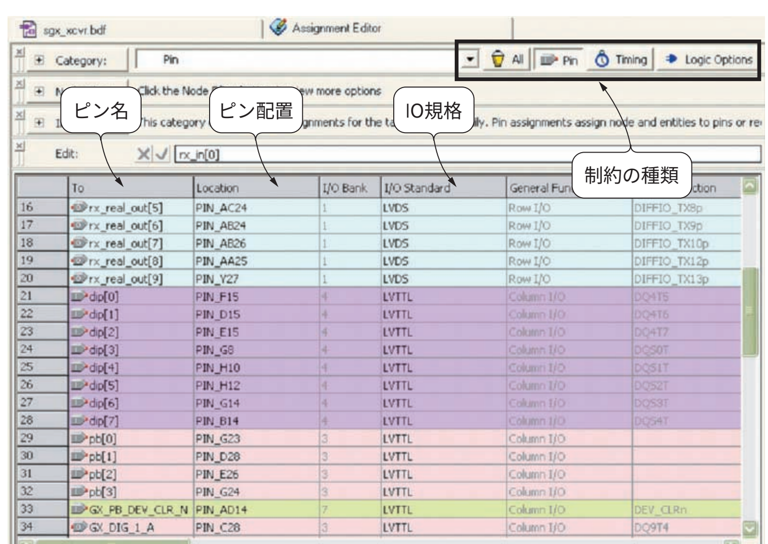


図12
Quartus IIによる設定画面

各種制約を設定できるAssignment Editorの画面．この画面で，ピンやノードなどに適用するタイミングやピン配置の制約を設定できる．現在設定されている制約の確認や変更も可能．また，自動設定した制約の文法チェックが行われるため，不当な制約を適用できないようになっている．



写真3 評価環境
ディジタル・オシロスコープ(TDS6154C)とCBBを用いて，プラグフェスタと同じ環境を実現している．

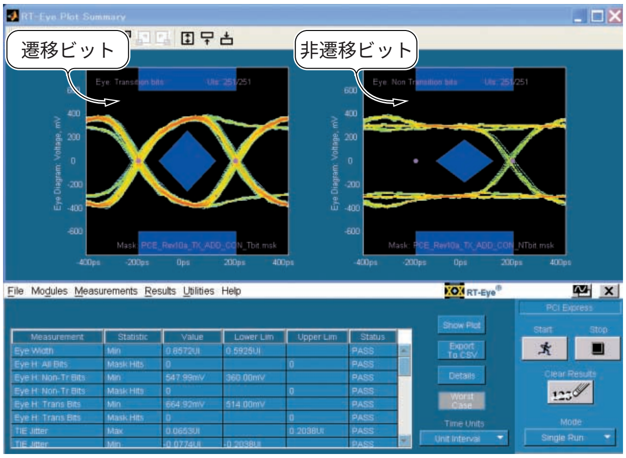


図14 Rev.1.0aにおける評価結果
図の左側が遷移ビット，右が非遷移ビットのアイ・ダイヤグラムである．アイ・ダイヤグラムの下にある解析結果から，規格に適合しているかどうかを各項目別に判断できる．

能です．

PIPEインターフェースのような多ビットのバスや，各種終端抵抗を外部に設ける必要のあるインターフェースを設計する場合，このPin Plannerのパッケージ・ビューでピン配置と外部に設置する終端抵抗の相関位置を確認すれば，余分な配線やビアを削減できます．また，多数の独立した終端抵抗を集合抵抗に置き換えたりする際にも有効活用できます．回路変更などに伴うピン・スワップが必要になった場合には，対象のピンとそのピンを移動させる先の位置をPin Planner上で確認しながら移動させれば，修正に伴う配置ミスを低減し，修正後のピン状況を迅速に把握できます．

4 シリアル・インターフェースの評価

今回作成した基板の評価環境を**写真3**に示します．米国Tektronix社のディジタル・オシロスコープ「TDS6154C」と，PCI-SIGが提供するアドイン・カード用のテスト・ボード(CBB：Compliance Base Board)を用いて，Compliance Workshopで実施されているテスト方法と同等の測定環境を構築し，評価を行いました．

開発した基板はアドイン・カードなので，CEM Specificationで定義されている各テスト・ポイント(CBBの波形出力)と，それらに適合するマスク・パターンを用いたアイ・ダイヤグラム測定，およびジッタ測定を実施しました(**図14**)．なお，この評価ではCBB Rev1.0aを用いたため，評価ソフトウェアの解析もRev1.0a環境に統一しています．評価するシリアル出力パターンにはコンプライアンス・パターン(Base Specification 4.2.8.)を用いています．オシロスコープで捕捉したシリアル・パターンのデータの解析には，Tektronix社の高速シリアル・インターフェース向けのコンプライアンス・テスト/解析ソフトウェア「TDSRT-Eye」を用いています．振幅やジッタが規格に適合しているかどうかを遷移ビットと非遷移ビットの両面から評価しました．

参考・引用*文献

(1)* PCI-SIG；PCI Express Base Specification Revision 1.1, March, 2005.
(2)* PCI-SIG；PCI Express Card Electromechanical Specification Revision 1.1, March, 2005.
(3) Board Design Guidelines for PCI Express Architecture.
(4)* Altera Corporation；Stratix II GX Device Handbook, Oct. 2005.
(5)* Genesys Logic, Inc.；GL9714 Datasheet Revision 1.14, Oct, 2005.

ふくだ・みつはる
(株)PALTEK

<筆者プロフィール>
福田光治．テクニカルスペシャリストFAEとして，高速インターフェースや電源分野を担当．